

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000068250 A**

(43) Date of publication of application: **03.03.00**

(51) Int. Cl.

H01L 21/3065

H01L 21/3213

H01L 27/108

H01L 21/8242

(21) Application number: **10231948**

(71) Applicant: **SONY CORP**

(22) Date of filing: **18.08.98**

(72) Inventor: **NAGAYAMA TETSUJI**

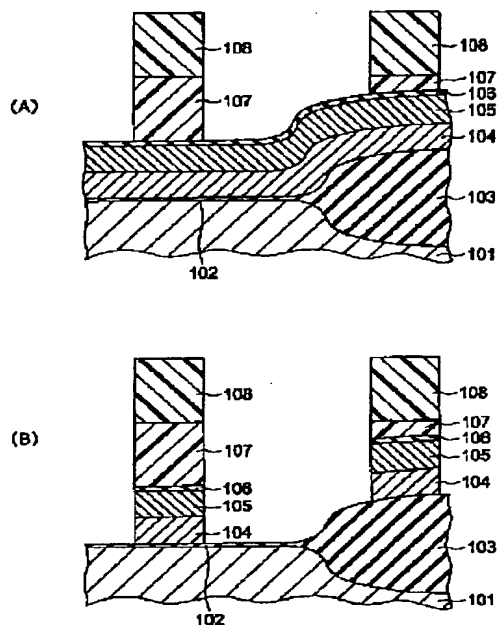
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method for a semiconductor device which can make etching without giving a local damage to a base film, when patterning is made by using multilayer resist as a mask on a semiconductor substrate having a surface step and machining for a gate electrode, a fine wiring and so on are made.

SOLUTION: This method consists of a step of laminating conductive layers 104 and 105, an etching stopper layer 106 and two layers at least of photo resists 107 and 108 on a semiconductor substrate 101, a step for predetermined patterning on a most upper resist 108, a step for etching eliminating of the lower resist 107 by using the most upper resist as a mask, and a step for etching eliminating of the etching stopper layer 106 and the conductive layers by using the lowermost layer as a mask.

COPYRIGHT: (C)2000,JPO



THIS PAGE BLANK (USPTO)

Kokai 2000-68250

[Explanation of Symbols]

11...magnetron, 12...wave guide tube, 13...quartz bell jar,
14...solenoid coil, 15...wafer, 16...clamp, 17...wafer stage,
18...radio frequency electric power supply, 19...upper electrode,
19'...side wall electrode, 20...source electric power supply,
21...antenna, 22...source chamber, 101...silicon substrate,
102...gate insulating film (oxide film), 103...LOCOS (element
isolation region), 104...poly-silicon, 105...tungsten-silicide
layer, 106...etching stopper layer, 107...under layer resist,
108...upper layer resist, 109...gate electrode, 110...memory mode
portion, 111...interlayer insulating film, 112...interconnect
plug, 113 ... barrier metal, 114 ... wiring layer, 115 ...
anti-reflection layer, 116...middle layer, 117...scrape (of under
material)

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-68250

(P 2000-68250A)

(43) 公開日 平成12年3月3日 (2000. 3. 3)

(51) Int. Cl. 7

識別記号

F I

テマコード (参考)

H O 1 L 21/3065
21/3213
27/108
21/8242

H O 1 L 21/302 J 5F004
21/88 D 5F033
27/10 6 8 1 F 5F083

審査請求 未請求 請求項の数 8

O L

(全 12 頁)

(21) 出願番号 特願平10-231948

(22) 出願日 平成10年8月18日 (1998. 8. 18)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 長山 哲治

東京都品川区北品川6丁目7番35号 ソニー
株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

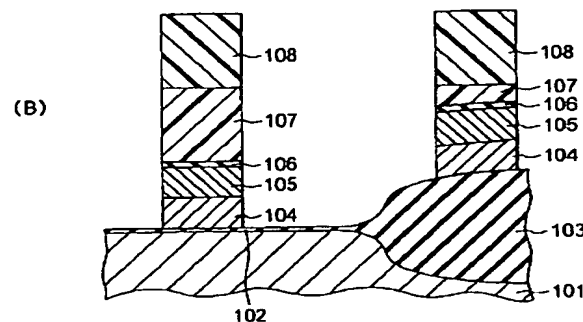
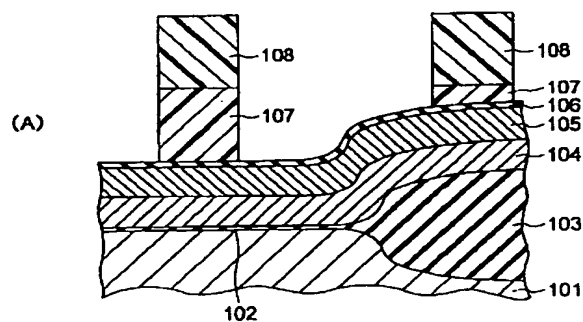
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 表面段差を有する半導体基板上において、多層レジストをマスクとしてパターニングを行い、ゲート電極や微細配線等を加工する際に、下地膜に局所的な損傷を与えずに、エッチングを行うことができる半導体装置の製造方法を提供する。

【解決手段】 半導体基板 101 上に、導電体層 104、105 と、エッチングストッパー層 106 と、少なくとも 2 層のフォトリソ resist 107、108 を積層させる工程と、最上層のレジスト 108 に所定のパターニングを行う工程と、最上層のレジストをマスクとして下層のレジスト 107 をエッチング除去する工程と、最下層のレジストをマスクとしてエッチングストッパー層 106 および導電体層をエッチング除去する工程とを有する半導体装置の製造方法。



【特許請求の範囲】

【請求項 1】半導体基板上に、導電体層を形成する工程と、

前記導電体層上に、エッチングストッパー層を形成する工程と、

前記エッチングストッパー層上に、少なくとも 2 層のフォトレジストを堆積する工程と、

前記フォトレジストのうち最上層のフォトレジストにパターニングを行い、所定のパターンを形成する工程と、

前記最上層のフォトレジストをマスクとして、下層のフォトレジストをエッチング除去する工程と、

前記フォトレジストのうち最下層のフォトレジストをマスクとして、前記エッチングストッパー層および前記導電体層をエッチング除去する工程とを有する半導体装置の製造方法。

【請求項 2】前記エッチングストッパー層は、前記導電体層を構成する材料の酸化物からなる請求項 1 記載の半導体装置の製造方法。

【請求項 3】前記エッチングストッパー層は、前記導電体層を構成する材料の窒化物からなる請求項 1 記載の半導体装置の製造方法。

【請求項 4】前記導電体層は、ポリシリコンからなる請求項 2 記載の半導体装置の製造方法。

【請求項 5】前記導電体層は、チタンまたは窒化チタンからなる請求項 2 記載の半導体装置の製造方法。

【請求項 6】前記エッチングストッパー層を形成する工程は、過酸化水素水を含む溶液を用いて、前記導電体層表面を洗浄する工程である請求項 2 記載の半導体装置の製造方法。

【請求項 7】前記エッチングストッパー層を形成する工程は、酸素プラズマを用いて前記導電体層表面を酸化する工程である請求項 2 記載の半導体装置の製造方法。

【請求項 8】前記最上層のフォトレジストをマスクとして、下層のフォトレジストをエッチング除去する工程は、酸素ガスとハロゲン系ガスの混合ガスをプラズマ化させて、前記下層レジストをエッチング除去する工程である請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、表面段差を有する半導体基板上において、多層レジストをマスクとして下地膜に局所的な損傷を与えずに、ゲート電極や微細配線等のパターニングを行うことができる半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置のデザインルールが微細化されて、集積回路が高度に複雑化するのに伴って、ウェハの表面段差は増大する傾向にある。また、デザインルールの微細化によりフォトリソグラフィ工程における露光波長も、水銀ランプの g 線 (436nm) あるいは

は i 線 (365nm) から、KrF エキシマーレーザー (248nm)、さらに ArF エキシマーレーザー (193nm) へと短波長化が進んでいる。

【0003】光源として水銀ランプを用いる従来のフォトリソグラフィに対して、より短波長の光源を使用するフォトリソグラフィは DUV (Deep UV) リソグラフィと総称されている。DUV リソグラフィの波長領域においては、ポリシリコン、各種シリサイド、酸化膜あるいは窒化膜等のほとんどの層で反射率が上昇し、パターンの悪化の一因となっている。

【0004】一般に、DUV 用には、可視領域のリソグラフィに用いられるフォトレジストとは異なるフォトレジストが用いられるが、DUV 用のフォトレジストは、樹脂自体が下地の影響 (例えば、下地段差からのハレーション) を受けやすい性質をもつ。したがって、フォトレジストをマスクとしてパターニングを行う際、下地形状に段差がある場合には、段差部分からの反射によりフォトレジストに局所的にノッチ (ポジ型レジストの場合)、あるいはブリッジ (ネガ型レジストの場合) と呼ばれるパターンの悪化が生じ易くなる。

【0005】上記のような問題に対して、フォトレジストを 2 層以上積層した構造が有効であることが知られており、半導体装置の製造工程において、多層レジストプロセスの採用は必要不可欠となりつつある。多層レジストプロセスは、ウェハ上の表面段差を埋め込むのに十分な厚さを有する厚い下層レジスト層と、高解像度を達成するため十分に薄く形成された上層レジスト層の、少なくとも 2 種類のフォトレジスト層を組み合わせる方法である。

【0006】多層レジストプロセスとして良く知られた方法には、例えば、J. Vac. Sci. Tech., 16, 1620 (1979) に報告された 3 層レジスト・プロセスがある。この方法は、ウェハ上に下層レジスト層を形成し、その上層に SOG (スピン・オン・ガラス) 等の酸化シリコン (SiO_x) 系材料からなる、極めて薄い中間層を形成して、最上層に薄い上層レジスト層を形成する。上記の 3 層を積層した後、フォトリソグラフィ工程により上層レジスト層にパターニングを行う。

【0007】3 層レジスト・プロセスにおいては、まず上層レジスト層がパターニングされ、パターニングされた上層レジスト層をマスクとして、中間層に反応性イオンエッチング (RIE) が行われる。その後、中間層をマスクとして下層レジスト層のドライエッチング (例えば RIE) が行われる。

【0008】上記の下層レジスト層のドライエッチングは、通常、酸素ガスをを用いて行われている。このエッチング反応は、酸素ラジカルによるレジスト材料の燃焼反応であり、本来、等方的に進行する。したがって、レジストパターンの側面からもエッチングが進行し、エッチ

ング終了時にはエッチング開始時に比較してレジストパターンが細くなる。

【0009】エッチングガスとして、反応性の高い酸素ガスを用いると、上記のようなレジストパターンの細りが顕著となり、レジストをマスクとして下層のパターニングを行う際に、所望のパターンが得られなくなる。エッチングの過程でレジストパターンの側面が浸食されるのを防止するため、エッチングガスである酸素ガスに、 Cl_2 ガスや HBr ガス等のハロゲン系ガス、あるいは、レジストに対して比較的不活性である窒素ガスを混入させる方法がある。

【0010】ドライエッチング反応においては、エッチングとスパッタリングが競合して起こっており、ハロゲン系ガス等を酸素ガスに混入させて用いると、 CCl_x あるいは CBr_x 等のポリマーがパターン側壁に堆積される。堆積されたポリマーが保護膜となり、上記のようなレジストパターンの細りが防止される。

【0011】

【発明が解決しようとする課題】しかしながら、レジストパターンの側壁を保護するポリマーを堆積させる目的で、エッチングガスにハロゲン系ガスを混入させると、図9(A)および(B)に示すように、ウェハ表面が局部的に削れるという別の問題が発生する。図9(A)は、高段差のLOCOS(素子分離領域)103が形成され、高段差を有するウェハ表面に、2層レジストプロセスを用いてエッチングを行い、タングステンポリサイド構造の配線を形成する工程を示す。

【0012】シリコン基板101上に、ゲート酸化膜102を介して、ポリシリコン層104およびタングステンポリサイド層105を積層させて、タングステンポリサイド構造とし、その上層に、下層レジスト107と上層レジスト108を堆積させている。フォトリソグラフィ工程により、上層レジスト108にパターニングを行ってから、上層レジスト108をマスクとして、下層レジスト107をエッチングする。

【0013】図9(A)に示すように、下層レジスト107をエッチングする際、エッチングガスにハロゲン系ガスを混入させると、下地材料(タングステンポリサイド層105)がエッチングされて溝117が生じる。また、ウェハ表面に入射するイオンが散乱することにより、下地の局所的な削れが助長されることもある。このような削れ117が発生すると、続く工程でタングステンポリサイドにエッチングを行う際に、下地であるゲート酸化膜102に突き抜けが生じることになる。

【0014】上記のような、下地材料にダメージが与えられる問題は、図9(A)に示すようなタングステンポリサイド構造の配線を形成する場合のみでなく、図9(B)に示すように、3層のレジスト107、116、108を積層させ、TiNからなる反射防止層115を用いて、Al合金からなる配線層114のエッチングを

行う場合にも同様に起こる。

【0015】ハロゲン系ガスおよびイオンの散乱の影響で、下層レジスト107の下地材料であるTiNからなる反射防止層115およびAl合金からなる配線層114に局所的な下地の削れ117が発生する。結果的に、配線層の下層の層間絶縁膜111にも顕著な突き抜けが生じる。層間絶縁膜111にダメージが生じると、絶縁特性が低下して、半導体装置の信頼性が低下する。

【0016】本発明は上記の問題点を鑑みてなされたものであり、したがって、多層レジストをマスクとしてパターニングを行う際に、下地膜に局所的な損傷を与えずにエッチングを行うことができる半導体装置の製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に、導電体層を形成する工程と、前記導電体層上に、エッチングストッパー層を形成する工程と、前記エッチングストッパー層上に、少なくとも2層のフォトレジストを堆積する工程と、前記フォトレジストのうち最上層のフォトレジストにパターニングを行い、所定のパターンを形成する工程と、前記最上層のフォトレジストをマスクとして、下層のフォトレジストをエッチング除去する工程と、前記フォトレジストのうち最下層のフォトレジストをマスクとして、前記エッチングストッパー層および前記導電体層をエッチング除去する工程とを有することを特徴とする。

【0018】本発明の半導体装置の製造方法は、好適には、前記エッチングストッパー層は、前記導電体層を構成する材料の酸化物からなることを特徴とする。あるいは、本発明の半導体装置の製造方法は、好適には、前記エッチングストッパー層は、前記導電体層を構成する材料の窒化物からなることを特徴とする。

【0019】本発明の半導体装置の製造方法は、好適には、前記導電体層はポリシリコンからなることを特徴とする。あるいは、本発明の半導体装置の製造方法は、好適には、前記導電体層はチタンまたは窒化チタンからなることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記エッチングストッパー層を形成する工程は、過酸化水素水を含む溶液を用いて、前記導電体層表面を洗浄する工程であることを特徴とする。

【0020】また、本発明の半導体装置の製造方法は、好適には、前記エッチングストッパー層を形成する工程は、酸素プラズマを用いて前記導電体層表面を酸化する工程であることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記最上層のフォトレジストをマスクとして、下層のフォトレジストをエッチング除去する工程は、酸素ガスとハロゲン系ガスの混合ガスをプラズマ化させて、前記下層レジストをエッチング除去する工程であることを特徴とする。

【0021】これにより、多層レジストプロセスにおいて、上層のレジストをマスクとして下層のレジストにエッチングを行う際、下地材料に局所的な削れが生じるのを防止することができる。下層のレジストにエッチングを行う際に、レジストパターンの側面が浸食されるのを防止するため、エッチングガスである酸素ガスに Cl_2 ガスや HBr ガス等のハロゲン系ガスを混合させることが多い。この場合、下地材料の削れは顕著となるが、本発明の半導体装置の製造方法によれば、エッチングストップ層により下地材料が保護されるため、局所的な削れは生じない。

【0022】また、本発明の半導体装置の製造方法により形成されるエッチングストップ層は、容易に除去できる薄膜であり、レジストをマスクとして下地材料のパターニングを行う際、下地材料と同一の工程で連続的に除去することができる。したがって、製造プロセスを増加させずに、下地材料の局所的な削れを解消することができる。

【0023】

【発明の実施の形態】以下に、本発明の半導体装置の製造方法の実施の形態について、図面を参照して説明する。まず、本発明の半導体装置の製造方法の、エッチング工程に用いられる装置について、図1～図3を参照して説明する。本発明の半導体装置の製造方法においては、ドライエッチングを行うための装置として、従来のプラズマエッチング装置を用いることも可能であるが、高精度に形状の制御を行えるという観点から、好適には、低圧・高密度プラズマを発生するプラズマエッチング装置を用いる。

【0024】図1は、高周波(RF)バイアス印加型ECR(マイクロ波電子サイクロトロン共鳴)プラズマ処理装置の概略図である。図1に示す装置においては、マグネトロン11で発生したマイクロ波が、導波管12、石英ベルジャー13を介してウェハ15に到達する。ウェハ15はウェハステージ17上に、単極式静電チャックもしくはクランプ16により固定されている。

【0025】図2には、MCR(磁場封じ込めリアクター)タイプのプラズマエッチング装置の概略図である。図2に示す装置においては、石英製の側壁電極19'に、高周波電源18から13.56MHzの高周波を照射し、上部電極19をアノードとして放電させた後、上部電極19またはチェンバー側壁に巻かれたマルチポール磁石(不図示)で磁場封じ込めを行って、比較的高濃度のプラズマを発生させる。また、ウェハステージ17に基板バイアス(例えば450kHz)を印加することにより、入射イオンエネルギーの独立制御が可能である。

【0026】図3は、ヘリコン波プラズマタイプのエッチング装置の構成概略図である。ソース電源20からアンテナ21にRF(13.56MHz)を印加すると、

ソレノイドコイル14により形成される磁場と相互作用する。これにより、ソースチェンバー22内にホイッスラー波(ヘリコン波)が発生し、結果的に生じる高密度プラズマがウェハ15に到達する。また、上記の装置にはいずれも、高周波電源18を具備したウェハステージ17に温度制御用の冷媒が循環する(不図示)。さらに、単極式静電チャックが設置され、 $-50\sim 300^\circ\text{C}$ の温度制御が可能となっている。

【0027】(実施形態1)実施形態1に、本発明をゲート電極の形成工程に適用した例を示す。図4(A)は、本実施形態の半導体装置の製造方法により製造される、半導体装置の断面図である。シリコン基板101上の素子形成領域に、ゲート酸化膜102が形成され、各素子間には素子分離のためのLOCOS103が形成されている。LOCOS103が形成された部分は、素子形成領域よりも高くなっており、基板101上に段差が形成される。

【0028】シリコン基板101の素子形成領域あるいはLOCOS103上に、ポリシリコン層104とタングステンシリサイド層105が積層された、タングステンポリサイド構造のゲート電極が形成されている。タングステンシリサイド層105の上層に、エッチングストップ層106が形成されているため、シリコン基板101の表面には、局所的な削れは生じていない。

【0029】次に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図4(B)に示すように、シリコン基板101上に、シリコン窒化膜(不図示)をマスクとして熱酸化を行う従来法により、LOCOS103を形成する。その後、熱酸化を行い、シリコン基板101の表面に、例えば膜厚5nmのゲート絶縁膜102を形成する。

【0030】続いて、図4(B)に示すように、例えば減圧CVD法により膜厚100nmのポリシリコン層104を形成する。その上層に、図4(C)に示すように、プラズマCVD法により膜厚100nmのタングステンシリサイド層105を形成する。さらに、過酸化水素水を用いた洗浄を行い、シリコン酸化膜からなるエッチングストップ層106を、膜厚1～2nm程度形成する。

【0031】次に、図5(A)に示すように、シリコン基板101上に形成された段差を埋め込み、表面を平坦化できる膜厚の下層レジスト107を形成する。さらに、図5(B)に示すように、下層レジスト107の上層にシリコンを含有する上層レジスト108を堆積させる。上層レジスト108に、KrFエキシマーレーザーステップを用いて約 $0.15\mu\text{m}$ 幅のパターンを形成する。

【0032】次に、図6(A)に示すように、上層レジスト108をマスクとして、下層レジスト107にエッチングを行う。このエッチングは、本実施形態において

は、図1に示すようなECRタイプのエッチング装置を用いて、例えば、以下のエッチング条件で行う。

【0033】

エッチングガス： $O_2 / Cl_2 = 50 / 20$ sccm

圧力：0.5 Pa

μ 波出力：600 W

RFバイアス：200 W (800 kHz)

ウェハ温度：-10℃

オーバーエッチ：200%

【0034】図6(A)に示すエッチング工程において、下層レジスト107/エッチングストッパー層106のエッチング選択比はほぼ ∞ となる。したがって、素子形成領域上にエッチングストッパー層106を介して形成された、膜厚の大きい下層レジスト107を完全に除去するためオーバーエッチを行った場合にも、下地材料(タングステンシリサイド層105あるいはポリシリコン層104)の削れは全く生じない。

【0035】次に、図6(B)に示すように、下層レジスト107をマスクとしてエッチングストッパー層106、タングステンシリサイド層105およびポリシリコ

10 ウェハ温度：20℃
オーバーエッチ：50%

【0037】(タングステンシリサイド層105のエッチング工程)

エッチングガス： $Cl_2 / O_2 = 80 / 8$ sccm

圧力：0.4 Pa

μ 波出力：900 W

RFバイアス：80 W (800 kHz)

ウェハ温度：20℃

オーバーエッチ：20%

20 【0038】

(ポリシリコン層104のエッチング工程)

エッチングガス： $Cl_2 / O_2 = 80 / 8$ sccm

圧力：0.4 Pa

μ 波出力：900 W

RFバイアス(メインエッチ; M. E.) : 60 W (800 kHz)

(オーバーエッチ; O. E.) : 30 W (800 kHz)

ウェハ温度：20℃

オーバーエッチ：20%

【0039】その後、酸素プラズマを用いたアッシング処理を行うことにより、図4(A)に示すように、下層レジスト107および上層レジスト108は完全に除去される。以上の工程により、シリコン基板101表面に、局所的な削れのない微細ゲート電極が形成される。

【0040】(実施形態2) 実施形態2は実施形態1と同様に、本発明をゲート電極の形成工程に適用した例である。図4(A)は、本実施形態の半導体装置の製造方法により製造される、半導体装置の断面図である。シリコン基板101上の素子形成領域に、ゲート酸化膜102が形成され、各素子間には素子分離のためのLOCOS103が形成されている。LOCOS103が形成された部分は、素子形成領域よりも高くなっており、基板101上に段差が形成される。

【0041】シリコン基板101の素子形成領域あるいはLOCOS103上に、ポリシリコン層104とタングステンシリサイド層105が積層された、タングステンポリサイド構造のゲート電極が形成されている。タングステンシリサイド層105の上層に、エッチングストッパー層106が形成されているため、シリコン基板101の表面には、局所的な削れは生じていない。

*実施形態においては、図1に示すようなECRタイプのエッチング装置を用いて、例えば、以下のエッチング条件で行う。

【0036】(エッチングストッパー層106のエッチング工程)

エッチングガス： $CF_4 = 20$ sccm

圧力：2.0 Pa

μ 波出力：800 W

RFバイアス：60 W (800 kHz)

ウェハ温度：20℃

オーバーエッチ：50%

【0037】(タングステンシリサイド層105のエッチング工程)

エッチングガス： $Cl_2 / O_2 = 80 / 8$ sccm

圧力：0.4 Pa

μ 波出力：900 W

RFバイアス：80 W (800 kHz)

ウェハ温度：20℃

オーバーエッチ：20%

30 【0042】次に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図4(B)に示すように、シリコン基板101上に、シリコン窒化膜(不図示)をマスクとして熱酸化を行う従来法により、LOCOS103を形成する。その後、熱酸化を行い、シリコン基板101の表面に、例えば膜厚5 nmのゲート絶縁膜102を形成する。

【0043】続いて、図4(B)に示すように、例えば減圧CVD法により膜厚100 nmのポリシリコン層104を形成する。その上層に、図4(C)に示すように、プラズマCVD法により膜厚100 nmのタングステンシリサイド層105を形成する。さらに、減圧CVD法により、シリコン窒化膜からなるエッチングストッパー層106を、膜厚1~2 nm程度形成する。

【0044】次に、図5(A)に示すように、シリコン基板101上に形成された段差を埋め込み、表面を平坦化できる膜厚の下層レジスト107を形成する。さらに、図5(B)に示すように、下層レジスト107の上層にシリコンを含有する上層レジスト108を堆積させる。上層レジスト108に、KrFエキシマーレーザー50 ステップを用いて約0.15 μ m幅のパターンを形成す

る。

【0045】次に、図6(A)に示すように、上層レジスト108をマスクとして、下層レジスト107にエッチングを行う。このエッチングは、本実施形態においては、図2に示すようなMCRタイプのエッチング装置を用いて、例えば、以下のエッチング条件で行う。

【0046】

エッチングガス： O_2 / HBr = 30 / 20 sccm

圧力：0.5 Pa

ソース出力：1000 W

RFバイアス：120 W (450 kHz)

ウェハ温度：-10℃

オーバーエッチ：200%

【0047】図6(A)に示すエッチング工程において、下層レジスト107/エッチングストッパー層106のエッチング選択比は100以上となる。したがって、素子形成領域上にエッチングストッパー層106を介して形成された、膜厚の大きい下層レジスト107を完全に除去するためオーバーエッチを行った場合にも、下地材料(タングステンシリサイド層105あるいはポリシリコン層104)の削れは全く生じない。

【0048】次に、図6(B)に示すように、下層レジスト107をマスクとしてエッチングストッパー層106、タングステンシリサイド層105およびポリシリコン層104のエッチングを行う。このエッチングは、本実施形態においては、図2に示すようなMCRタイプのエッチング装置を用いて、例えば、以下のエッチング条件で行う。

【0049】(エッチングストッパー層106のエッチング工程)

エッチングガス： Ar / CF_4 = 100 / 20 sccm

圧力：2.0 Pa

ソース出力：1000 W

RFバイアス：50 W (450 kHz)

ウェハ温度：70℃

オーバーエッチ：50%

【0050】(タングステンシリサイド層105のエッチング工程)

エッチングガス： Cl_2 = 80 sccm

圧力：0.4 Pa

ソース出力：1200 W

RFバイアス：70 W (450 kHz)

ウェハ温度：70℃

オーバーエッチ：20%

【0051】(ポリシリコン層104のエッチング工程)

エッチングガス： Cl_2 / HBr = 50 / 40 sccm

圧力：0.4 Pa

ソース出力：1000 W

RFバイアス(M. E.) : 40 W (450 kHz)

(O. E.) : 15 W (450 kHz)

ウェハ温度：70℃

オーバーエッチ：30%

【0052】その後、酸素プラズマを用いたアッシング処理を行うことにより、図4(A)に示すように、下層レジスト107および上層レジスト108は完全に除去される。以上の工程により、シリコン基板101表面に、局所的な削れのない微細ゲート電極が形成される。

10 【0053】(実施形態3) 実施形態3に、本発明をA1配線の形成工程に適用した例を示す。図7(A)は、本実施形態の半導体装置の製造方法により製造される、半導体装置(特にDRAM部として用いられる)の断面図である。シリコン基板101上に、例えばタングステンポリサイド構造のワード線109、およびリンをドーブしたポリシリコンからなる記憶ノード110が形成され、それらを被覆するように層間絶縁膜111が形成されている。層間絶縁膜111にはコンタクトホールが設けられており、コンタクトホール中に配線プラグ112

20 が形成されている。
【0054】層間絶縁膜111の上層に、例えば窒化チタン(TiN)からなるバリアメタル層113を介して、Al合金からなる配線層114が形成されている。その上層に、エッチングを行う際のパターンにくずれを防止するための、例えばTiNからなる反射防止層115が形成されている。上記の半導体装置は、ワード線109や記憶ノード110が形成されている領域で層間絶縁膜111の表面が高くなっており、表面に段差が形成されている。反射防止層115の上層にエッチングスト

30 ヱッパ層116として、酸化チタン層が形成されているため、シリコン基板101の表面には、局所的な削れは生じていない。
【0055】次に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図7(B)に示すように、シリコン基板101上に、ゲート絶縁膜102を介して、ポリシリコン層104およびタングステンシリサイド層105が積層されたタングステンポリサイド構造のワード線109を形成する。また、リンをドーブしたポリシリコン層を、例えば減圧CVD法により全面に堆積させてから、所定のパターニングを行い、記憶ノード

40 部110を形成する。
【0056】次に、全面に例えば減圧CVD法によりシリコン酸化膜を堆積させ、層間絶縁膜111を形成する。レジスト(不図示)をマスクとして、層間絶縁膜111にエッチングを行い、コンタクトホールを形成した後、例えば、タングステン等の導電性材料を埋め込み、配線プラグ112を形成する。

【0057】その後、スパッタリング等の方法により、全面に、TiNからなるバリアメタル層113を例えば膜厚80 nmで形成する。バリアメタル層113の上層

に、Al 合金からなる配線層 114 を例えば膜厚 400 nm で形成し、その上層に、TiN からなる反射防止層 115 を例えば膜厚 100 nm で形成する。反射防止層 115 の上層に、市販のアッシング装置を用いて、下記の O_2 プラズマ条件で、酸化チタンからなるエッチングストッパー層 106 を、例えば膜厚 5 nm で形成する。

(エッチングストッパー層 106 の形成工程)

ガス: $O_2 = 500 \text{ sccm}$

圧力: 100 Pa

RF 出力: 1000 W

ウェハ温度: 100°C

時間: 2 分

【0058】次に、図 8 (A) に示すように、多層構造の配線 (113~115) 上に形成された段差を埋め込み、表面を平坦化できる膜厚の下層レジスト 107 を形成する。下層レジスト 107 を形成する際、下層レジスト 107 には下地の段差に応じて、層厚の大きい領域と層厚の小さい領域が生じる。層厚の大きい領域の平均的な層厚は例えば、約 $1.0 \mu\text{m}$ となる。下層レジスト 108 としては、例えば、ノボラック系ポジ型フォトレジスト (OFPR-800; 東京応化工業社製) を用いることができる。

【0059】下層レジスト 107 の上層に、SOG によりシリコン酸化膜からなる薄い中間層 116 を形成する。中間層 116 としては、例えば OCD-Type 2 (東京応化工業社製) を塗布する。中間層 116 の上層に、上層レジスト 108 を例えば層厚 $0.3 \mu\text{m}$ 程度で形成する。上層レジスト 108 は、例えば化学増幅系のネガ型 3 成分レジスト (SAL-601; シプレー社製) を塗布して形成する。上層レジスト 108 に、KrF エキシマーレーザーステップを用いて、約 $0.2 \mu\text{m}$ 幅のパターンを形成する。

【0060】次に、図 8 (B) に示すように、上層レジスト 108 をマスクとして、中間層 116 および下層レジスト 107 にエッチングを行う。このエッチングは、本実施形態においては、図 3 に示すようなヘリコン波プラズマタイプのエッチング装置を用いて、例えば、以下のエッチング条件で行う。

【0061】(中間層 116 のエッチング工程)

エッチングガス: $CF_4 = 20 \text{ sccm}$

圧力: 0.3 Pa

ソース出力: 1000 W

RF バイアス: 50 W (400 kHz)

ウェハ温度: -10°C

オーバーエッチ: 20%

【0062】(下層レジスト 107 のエッチング工程)

エッチングガス: $O_2 / HCl = 30 / 10 \text{ sccm}$

圧力: 0.3 Pa

ソース出力: 1200 W

RF バイアス: 100 W (400 kHz)

ウェハ温度: -10°C

オーバーエッチ: 200%

【0063】図 8 (B) に示すエッチング工程において、下層レジスト 107 / エッチングストッパー層 106 のエッチング選択比は ∞ となる。したがって、メモリの周辺部分に形成された、膜厚の大きい下層レジスト 107 を完全に除去するためオーバーエッチを行った場合にも、下地材料 (反射防止層 115 あるいは配線層 114) の削れは全く生じない。また、下層レジスト 107 をエッチングする工程で、上層レジスト 108 は完全に除去される。

【0064】次に、下層レジスト 107 をマスクとしてエッチングストッパー層 106、反射防止層 115、配線層 114 およびバリアメタル層 113 のエッチングを行う。このエッチングは、本実施形態においては、図 3 に示すようなヘリコン波プラズマタイプのエッチング装置を用いて、例えば、以下のエッチング条件で行う。

【0065】(エッチングストッパー層 106 のエッチング工程)

エッチングガス: $BCl_3 = 20 \text{ sccm}$

圧力: 0.3 Pa

ソース出力: 1000 W

RF バイアス: 50 W (400 kHz)

ウェハ温度: 20°C

オーバーエッチ: 50%

【0066】(反射防止層 115 / Al 合金層 114 / バリアメタル層 113 のエッチング工程)

エッチングガス: $Cl_2 / BCl_3 = 80 / 80 \text{ sccm}$

圧力: 0.4 Pa

ソース出力: 1200 W

RF バイアス (M. E.): 70 W (400 kHz)

(O. E.): 30 W (400 kHz)

ウェハ温度: 20°C

オーバーエッチ: 100%

【0067】その後、酸素プラズマを用いたアッシング処理、あるいは希フッ酸洗浄を行うことにより、図 7

(A) に示すように、中間層 115 および下層レジスト 107 は完全に除去される。以上の工程により、局所的な削れのない微細配線パターンが形成される。

【0068】(実施形態 4) 実施形態 4 は実施形態 3 と同様に、本発明を Al 配線の形成工程に適用した例である。図 7 (A) は、本実施形態の半導体装置の製造方法により製造される、半導体装置の断面図である。シリコン基板 101 上に、例えばタングステンポリサイド構造のワード線 109、およびリンをドープしたポリシリコンからなる記憶ノード 110 が形成され、それらを被覆するように層間絶縁膜 111 が形成されている。層間絶縁膜 111 にはコンタクトホールが設けられており、コンタクトホール中に配線プラグ 112 が形成されてい

る。

【0069】層間絶縁膜111の上層に、例えば窒化チタン(TiN)からなるバリアメタル層113を介して、Al合金からなる配線層114が形成されている。その上層に、エッチングを行う際のパターンにくずれを防止するための、例えばTiNからなる反射防止層115が形成されている。上記の半導体装置は、ワード線109や記憶ノード110が形成されている領域で層間絶縁膜111の表面が高くなっており、表面に段差が形成されている。反射防止層115の上層にエッチングストップパー層116として、酸化チタン層が形成されているため、シリコン基板101の表面には、局所的な削れは生じていない。

【0070】次に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図7(B)に示すように、シリコン基板101上に、ゲート絶縁膜102を介して、ポリシリコン層104およびタングステンシリサイド層105が積層されたタングステンポリサイド構造のワード線109を形成する。また、リンをドーブしたポリシリコン層を、例えば減圧CVD法により全面に堆積させてから、所定のパターニングを行い、記憶ノード部110を形成する。

【0071】全面に例えば減圧CVD法によりシリコン酸化膜を堆積させ、層間絶縁膜111を形成する。レジスト(不図示)をマスクとして、層間絶縁膜111にエッチングを行い、コンタクトホールを形成した後、例えば、タングステン等の導電性材料を埋め込み、配線プラグ112を形成する。

【0072】その後、スパッタリング等の方法により、全面に、TiNからなるバリアメタル層113を例えば膜厚80nmで形成する。バリアメタル層113の上層に、Al合金からなる配線層114を例えば膜厚400nmで形成し、その上層に、TiNからなる反射防止層115を例えば膜厚100nmで形成する。反射防止層115の上層に、酸素プラズマを用いたアッシング処理、あるいは、酸素をイオン注入することにより酸化チタン(TiO₂)からなるエッチングストップパー層106を、例えば膜厚1~2nmで形成する。

【0073】次に、図8(A)に示すように、多層構造の配線(113~115)上に形成された段差を埋め込み、表面を平坦化できる膜厚の下層レジスト107を形成する。下層レジスト107を形成する際、下層レジスト107には下地の段差に応じて、層厚の大きい領域と層厚の小さい領域が生じる。層厚の大きい領域の平均的な層厚は例えば、約1.0μmとなる。下層レジスト108としては、例えば、ノボラック系ポジ型フォトリソグリス(OFR-800;東京応化工業社製)を用いることができる。

【0074】下層レジスト107の上層に、SOGによりシリコン酸化膜からなる薄い中間層116を形成す

る。中間層116としては、例えばOCD-Type2(東京応化工業社製)を塗布する。中間層116の上層に、上層レジスト108を例えば層厚0.3μm程度で形成する。上層レジスト108は、例えば化学増幅系のネガ型3成分レジスト(SAL-601;シブレー社製)を塗布して形成する。上層レジスト108に、KrFエキシマレーザーステップを用いて、約0.2μm幅のパターンを形成する。

【0075】次に、図8(B)に示すように、上層レジスト108をマスクとして、中間層116および下層レジスト107にエッチングを行う。このエッチングは、本実施形態においては、図1に示すようなECRタイプのエッチング装置を用いて、例えば、以下のエッチング条件で行う。

【0076】(中間層116のエッチング工程)

エッチングガス:CF₄=20sccm

圧力:2.0Pa

μ波出力:800W

RFバイアス:60W(800kHz)

20 ウェハ温度:-10℃

オーバーエッチ:20%

【0077】(下層レジスト107のエッチング工程)

エッチングガス:O₂/Br₂=50/30sccm

圧力:0.5Pa

μ波出力:600W

RFバイアス:150W(800kHz)

ウェハ温度:-10℃

オーバーエッチ:200%

【0078】図8(B)に示すエッチング工程において、下層レジスト107/エッチングストップパー層106のエッチング選択比は100以上となる。したがって、メモリセルの周辺部分に形成された、膜厚の大きい下層レジスト107を完全に除去するためオーバーエッチを行った場合にも、下地材料(反射防止層115あるいは配線層114)の削れは全く生じない。また、下層レジスト107をエッチングする工程で、上層レジスト108は完全に除去される。

【0079】次に、下層レジスト107をマスクとしてエッチングストップパー層106、反射防止層115、配線層114およびバリアメタル層113のエッチングを行う。このエッチングは、本実施形態においては、図1に示すようなECRタイプのエッチング装置を用いて、例えば、以下のエッチング条件で行う。

【0080】(エッチングストップパー層106のエッチング工程)

エッチングガス:BCl₃=20sccm

圧力:2.0Pa

μ波出力:800W

RFバイアス:50W(800kHz)

50 ウェハ温度:20℃

オーバーエッチ：50%

【0081】（反射防止層115/A1合金層114/
バリアメタル層113のエッチング工程）

エッチングガス： $\text{Cl}_2/\text{BCl}_3 = 80/60 \text{ sccm}$

圧力：1.0 Pa

μ 波出力：800 W

RFバイアス（M. E.）：60 W（800 kHz）

（O. E.）：30 W（800 kHz）

ウェハ温度：20℃

オーバーエッチ：100%

【0082】その後、酸素プラズマを用いたアッシング
処理、あるいは希フッ酸洗浄を行うことにより、図7

（A）に示すように、中間層116および下層レジスト
107は完全に除去される。以上の工程により、局所的
な削れのない微細配線パターンが形成される。

【0083】上記の本発明の実施形態の半導体装置の製
造方法によれば、多層構造の配線にパターニングを行う
際に、酸化チタンからなるエッチングストッパー層が形
成されているため、下地材料に局所的な削れが生じるの
を防止することができる。

【0084】本発明の半導体装置の製造方法は、上記の
実施の形態に限定されない。例えば、減圧CVD法によ
り窒化膜を形成して、エッチングストッパー層として用
いることも可能である。その他、本発明の要旨を逸脱し
ない範囲で、種々の変更が可能である。

【0085】

【発明の効果】本発明の半導体装置の製造方法によれ
ば、多層レジストプロセスにより導電体層等のエッチン
グを行う際、ハロゲン系ガスを用いる場合においても、
下地材料の局所的な削れを防ぐことができる。これによ
り、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法に用いられる半
導体製造装置の概略図である。

【図2】本発明の半導体装置の製造方法に用いられる半

導体製造装置の概略図である。

【図3】本発明の半導体装置の製造方法に用いられる半
導体製造装置の概略図である。

【図4】（A）は、本発明の半導体装置の製造方法によ
り製造される、半導体装置の断面図であり、（B）およ
び（C）は、本発明の半導体装置の製造方法の製造工程
を表す断面図である。

【図5】（A）および（B）は、本発明の半導体装置の
製造方法の製造工程を表す断面図である。

10 【図6】（A）および（B）は、本発明の半導体装置の
製造方法の製造工程を表す断面図である。

【図7】（A）は、本発明の半導体装置の製造方法によ
り製造される、半導体装置の断面図であり、（B）は、
本発明の半導体装置の製造方法の製造工程を表す断面図
である。

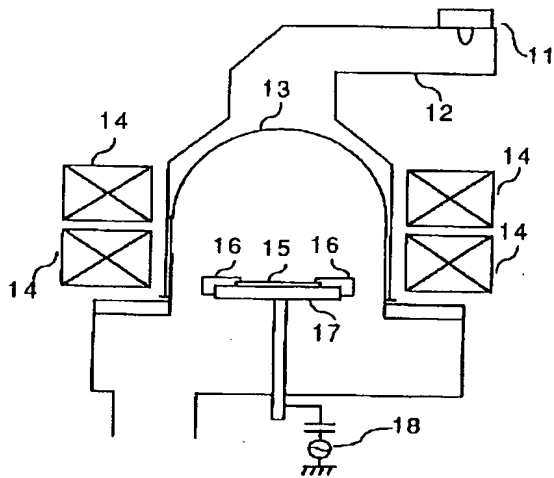
【図8】（A）および（B）は、本発明の半導体装置の
製造方法の製造工程を表す断面図である。

【図9】（A）および（B）は、従来の半導体装置の製
造方法により製造される、半導体装置の断面図である。

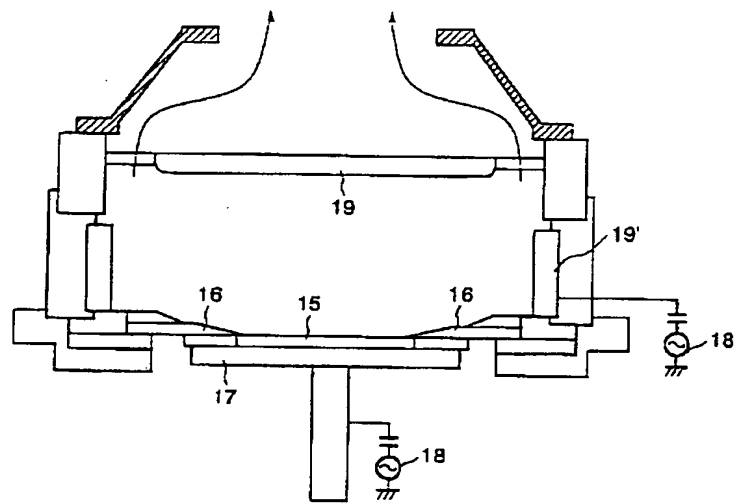
20 【符号の説明】

11…マグネトロン、12…導波管、13…石英ベルジ
ャー、14…ソレノイドコイル、15…ウェハ、16…
クランプ、17…ウェハステージ、18…高周波電源、
19…上部電源、19'…側壁電極、20…ソース電
源、21…アンテナ、22…ソースチェンバー、101
…シリコン基板、102…ゲート絶縁膜（酸化膜）、1
03…LOCOS（素子分離領域）、104…ポリシリ
コン層、105…タングステンシリサイド層、106…
エッチングストッパー層、107…下層レジスト、10
8…上層レジスト、109…ゲート電極、110…記憶
ノード部、111…層間絶縁膜、112…配線プラグ、
113…バリアメタル層、114…配線層、115…反
射防止層、116…中間層、117…（下地材料の）削
れ。

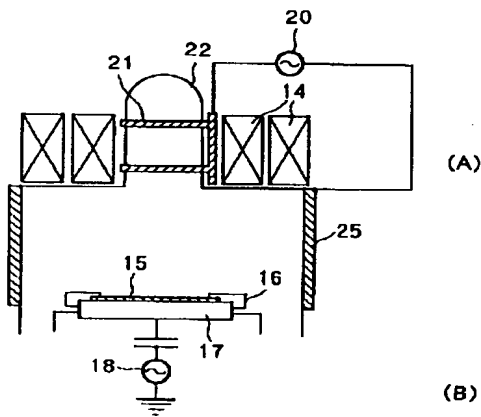
【図 1】



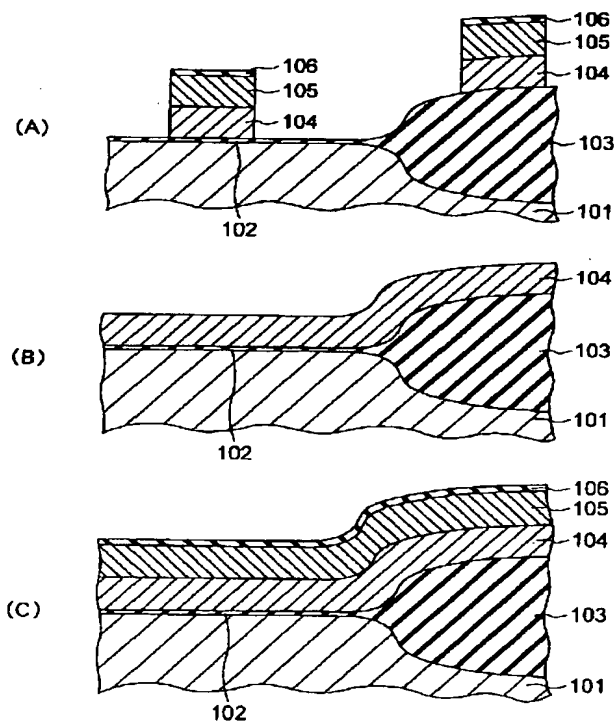
【図 2】



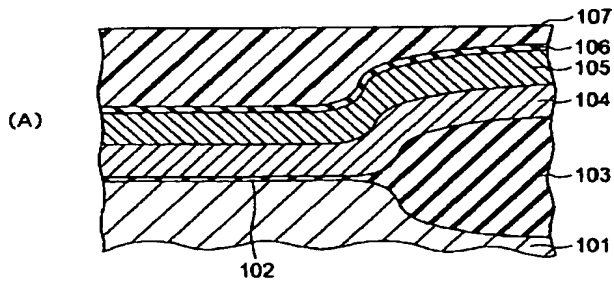
【図 3】



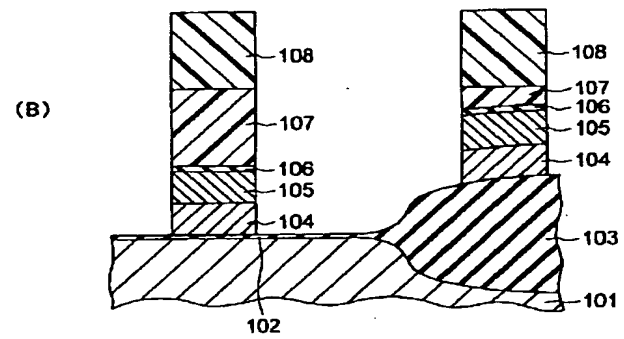
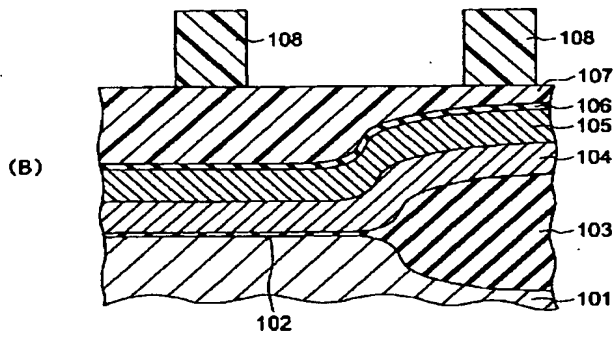
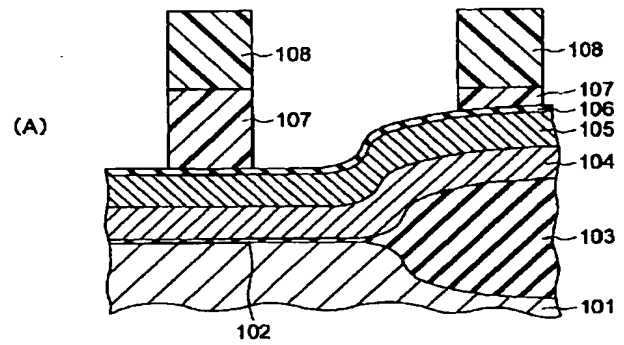
【図 4】



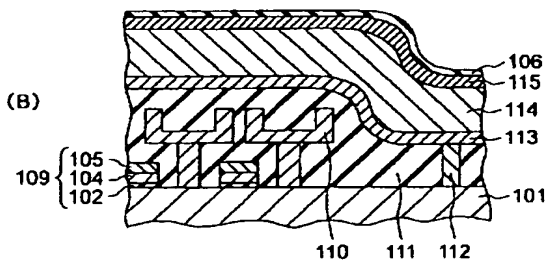
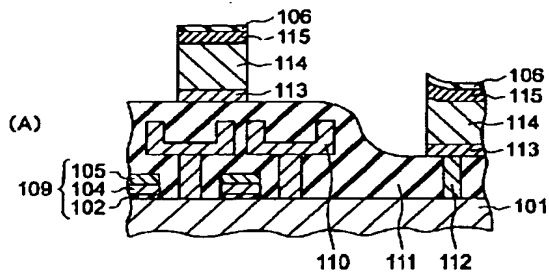
【図 5】



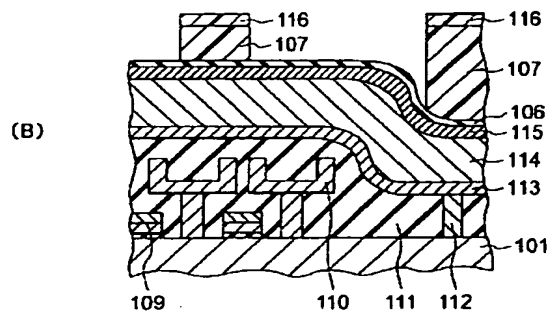
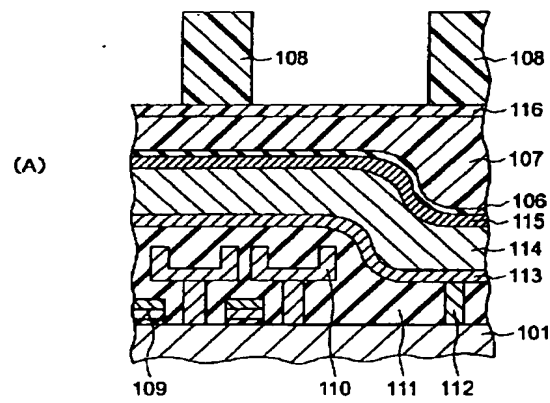
【図 6】



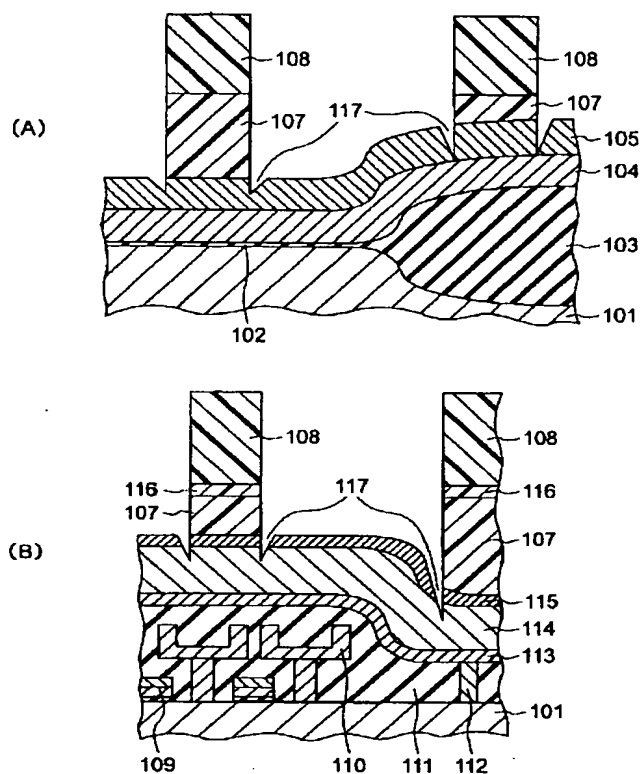
【図 7】



【図 8】



【図 9】



フロントページの続き

F ターム(参考) 5F004 AA04 AA06 BA08 BA09 BA15
 BA20 BB13 BB14 BB22 BB25
 BB26 CA03 DA00 DA01 DA04
 DA11 DA26 DB00 DB02 DB03
 DB07 DB09 DB12 DB16 DB17
 DB26 EA02 EA06 EA22 EA23
 EB02
 5F033 AA15 AA28 AA33 AA64 BA02
 BA14 BA24 BA33 EA25
 5F083 AD22 GA27 JA36 JA40 MA06
 MA19 PR07